

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Masakatsu TSUCHIAKI, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-124123	April 28, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 2 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 2 4 1 2 3
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 2 4 1 2 3]

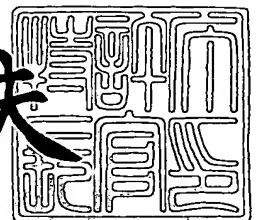
出 願 人 株式会社東芝
Applicant(s):



2 0 0 4 年 2 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 1 0 4 0 5

【書類名】 特許願

【整理番号】 14199701

【提出日】 平成15年 4月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/28

【発明の名称】 半導体装置およびその製造方法

【請求項の数】 11

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
 横浜事業所内

 【氏名】 土 明 正 勝

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
 横浜事業所内

 【氏名】 富 田 祥 子

【特許出願人】

 【識別番号】 000003078

 【住所又は居所】 東京都港区芝浦一丁目 1 番 1 号

 【氏名又は名称】 株式会社 東 芝

【代理人】

 【識別番号】 100075812

 【弁理士】

 【氏名又は名称】 吉 武 賢 次

【選任した代理人】

 【識別番号】 100088889

 【弁理士】

 【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】

NiSi相を持つシリサイド層を、半導体基板に形成されたソース、ドレイン領域上に形成する際に、前記ソース、ドレイン領域と前記半導体基板との接合面の深さが、前記シリサイド層の下面から20nm乃至60nmとなるように形成し、前記NiSi相を持つ前記シリサイド層形成後の製造工程を、前記接合面の前記シリサイド層の下面からの深さに対応して、以下の式

$$T_c = a \times D_j + b$$

ここで、 T_c は、熱処理の臨界温度[℃]、 D_j は、NiSi下面からの接合位置深さ[nm]、

$$a = 6.11 \quad (20 < D_j \leq 26)$$

$$= 1.60 \quad (26 < D_j \leq 60)$$

$$b = 291 \quad (20 < D_j \leq 26)$$

$$= 408 \quad (26 < D_j \leq 60)$$

を満たす臨界温度 T_c を超えない温度で行うことを特徴する半導体装置の製造方法。

【請求項 2】

前記NiSi相を持つ前記シリサイド層形成後、前記シリサイド層を覆うように、シリコン窒化膜を堆積することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】

前記シリコン窒化膜上にさらに絶縁膜を堆積し、前記絶縁膜を前記シリコン窒化膜と選択的にRIE法によりエッチング除去し、前記ソース、ドレイン領域に通じる開口を前記絶縁膜および前記シリコン窒化膜に形成することを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 4】

前記NiSi相を持つ前記シリサイド層上に絶縁膜を形成し、前記NiSi相を持つ前

記シリサイド層に達する開口を前記絶縁膜に形成し、Cuをメッキ法により前記開口の内部に充填し電極を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】

Cuの充填に先立ち、前記開口の内部を NF_3 含むプラズマに暴露して、引き続き大気に晒すことなく、前記開口の底部を含む前記開口の内壁にバリアメタルをスパッタ法により形成することを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】

シリコン半導体基板上に形成されたゲート電極と、前記ゲート電極の両側の前記シリコン半導体基板に形成されたソース、ドレイン領域と、前記ソース、ドレイン領域と前記シリコン半導体基板との接合面までの深さが20nm乃至60nmであるように少なくとも前記ソース、ドレイン領域上に形成されたNiSi層と、を有し、前記ソース、ドレイン領域中にNi原子が存在し、前記接合面での前記Ni原子の濃度が $1 \times 10^{14} \text{cm}^{-3}$ 以下である半導体素子を備えたことを特徴とする半導体装置。

【請求項7】

前記NiSi層の下面から10nmの深さの前記シリコン半導体基板中に、前記Ni原子を、 $5 \times 10^{18} \text{cm}^{-3}$ 以上 $3 \times 10^{21} \text{cm}^{-3}$ 以下の濃度で含有することを特徴とする請求項6記載の半導体装置。

【請求項8】

前記NiSi層を覆うように形成され、光学的屈折率が1.89以下のシリコン窒化膜をさらに備えたことを特徴とする請求項6または7記載の半導体装置。

【請求項9】

前記NiSi層上に形成された絶縁膜と、前記絶縁膜内に設けられた前記NiSi層と電氣的に接続するCuを含む金属物質からなる電極とを備えていることを特徴とする請求項6乃至8のいずれかに記載の半導体装置。

【請求項10】

前記半導体素子が複数個、前記シリコン半導体基板に形成され、これらの半導体素子は、前記シリコン半導体基板に形成された素子分離絶縁膜によって分離さ

れていることを特徴とする請求項 6 乃至 9 のいずれかに記載の半導体装置。

【請求項 1 1】

前記複数の半導体素子は、論理回路を構成する n 型 MOSFET 及び p 型 MOSFET であることを特徴とする請求項 1 0 記載の半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法、特にシリサイド化されたソース、ドレイン電極を有する高速微細電界効果型トランジスタおよびその製造方法に関する。

【0 0 0 2】

【従来の技術】

高速高機能の半導体装置を実現するため、これに用いられる個々の半導体素子の微細化、及びその大規模集積化に対する要求は時を追って増大している。しかし、これらの半導体素子の主要な構成要素である MOSFET（電界効果型トランジスタ）の微細化を考えた場合、これには様々な困難が伴う。

【0 0 0 3】

例えば、MOSFET のチャネル長（即ちゲート電極の長さ）の縮小に伴いしきい値電圧が低下する（短チャネル効果）。このため、半導体回路の設計時に意図したしきい値電圧と異なった素子が形成されると、設計の意図とは異なる素子動作を引き起こし回路全体の機能を損なう。さらにゲート電極の加工寸法に、しきい値電圧が依存するため、わずかな加工ずれでも、用途の特性を有する素子を得ることが不可能となり、多数の均一な素子を必要とする半導体回路、例えば、Dynamic Random Access Memory（DRAM）の製造には、極めて不都合となる。

【0 0 0 4】

このような短チャネル効果は、MOSFET のソース及びドレイン電極部分での電界の歪みが、チャネル長の縮小に伴い、チャネル部分中央付近にまで影響を与えることに起因している。この影響は、ソース及びドレインを形成する p n 接合の接合位置を半導体表面に近づける、（即ち p n 接合を“浅くする”）ことで回避出来

る。しかし、単に、pn接合を浅くすると、これにより構成されているソース、ドレイン電極の抵抗が増大し、素子を伝わる信号の高速伝達を阻害する。

【0005】

この問題に対処し、ソース、ドレイン電極の低抵抗化を図るために、ソース、ドレインの上部を一部、金属と化合（シリサイド化）させることが行われる。シリサイドを行うための金属種としては、Co, Ti, Ni のような元素が使用されている。このうち、細線形状にしたときに電気抵抗の上昇（細線効果）がみられず、微細化LSIに対応可能なシリサイド化用の金属種はCoとNiである。しかし、シリサイド形成時、或いはその後の熱処理に伴い、これらの金属原子がソース、ドレイン領域を形成するシリコン中を急速に拡散し、浅い接合を形成した場合、接合部分にまで到達してしまう。このため、接合のリークをもたらす。

【0006】

実際、Coの場合、低抵抗相の CoSi_2 を形成するため、 800°C 、30秒の急速熱処理が必要になるが、このCo原子の拡散は極めて高速で、この熱処理を行っただけで150nmの深さにまで達してしまうほどである。図18に、接合深さを変えた n^+/p 接合上に、 CoSi_2 を35nm形成したときの接合リークの値を、シリサイドを施さなかった接合の参照データと共に示す。シリサイド膜よりずっと深い、接合深さ150nm付近で、すでに接合リークが発生していることがわかる。これはCo原子が基板中に拡散した結果である。

【0007】

また、Niの場合は、Coに比べて成膜温度が低くてシリコンの消費量は少ないので、リーク電流に関しては優位にある。シリサイド層としてNiを用いた場合に更に接合リーク電流を抑制するために、シリコン基板とニッケルシリサイド層との間に、イリジウム中間層を設ける技術が知られている（例えば、特許文献1参照）。この特許文献1に記載の技術は、イリジウム中間層を設けることによって、 NiSi が NiSi_2 に相転移する温度を高くし、これにより、シリサイドを形成するためのアニーリング温度を 850°C で行ってもシリサイド層を低抵抗の NiSi として、接合リーク電流を抑制するものである。

【0008】

上述したように、金属原子の高速な拡散は、金属とシリコンが接した面では不可避免的に進行する。シリコン基板の深くに侵入した金属原子により、シリコン禁帯中にリーク電流の生成を媒介する準位が形成される。当然ソース、ドレイン接合部分に準位が形成されれば、ここにリーク電流が発生してしまう。

【0 0 0 9】

ソース、ドレイン接合を通じて電流が漏れ出すと、素子の動作が損なわれ、DRAMなどの記憶素子では、書き込まれた情報が失われてしまい、半導体装置の本来の機能が喪失する。

【0 0 1 0】

この様な問題に対処するため、従来、ソース、ドレイン電極を形成しようとする半導体基板表面部分に選択的に半導体物質を追加形成し（例えばシリコンを成長させ）、この領域の表面をもととの半導体表面（即ちチャネルの形成される面）より上方に移動させ、この追加形成された表面を通じてソース、ドレインのp n接合の形成、および、シリサイド層の形成を行うことで、接合の位置は本来の半導体表面（即ちチャネルの形成される面）に対しては浅く、しかし、このように新たに形成された表面からは深く、従って、ソース、ドレインを形成する電極部分の厚み（拡散層の厚み）は確保するという手法（Elevated source drain method）が用いられて来た。こうした選択シリコン成長は、エピタキシャル成長技法を用いて達成することが出来る。ただし、この手法に於いて、最終的に形成されるべきソース、ドレインのp n接合の接合位置は、本来の半導体表面（即ちチャネルの形成される面）、或いは、これより若干下方に極めて精度よく調整されなければならない。なぜならば、接合部分がこの表面（チャネル面）の上方に位置した場合、このMOSFETの電流駆動力は著しく低下する。また、接合部分がこの表面より大きく下方に形成されると、短チャネル効果が起こってしまうからである。

【0 0 1 1】

ところが、このエピタキシャル成長技法は選択成長を行う表面状態に非常に敏感である。例えば、成膜されるシリコンの膜厚は、その下方にある基板表面の荒さや結晶構造によって変わって来る。また、その膜質（欠陥の有無）も表面の形

状により異なって来る可能性がある。例えば、成長直前の基板表面の自然酸化膜や、ゲート電極加工時に導入されるダメージなどによって、ソース、ドレイン領域上に成膜されるシリコン層の厚さ、およびその膜質は素子ごとに異なって来る場合がある。このように追加形成されるシリコン膜厚が不均一であると、pn接合の接合部分を本来の半導体基板表面（即ちチャネルの形成される面）付近に形成することが極めて困難となる。なぜなら、ソース、ドレインを形成すべき不純物は、追加形成されたシリコン表面より導入されるため、接合はこの表面から一定の位置に形成される。

【0012】

ところが、これに対し、膜厚が不均一であると、本来の半導体表面（即ちチャネルの形成される面）の追加形成されたシリコン表面よりの相対位置は不定となる。従って、接合面を形成すべき位置も不定となってしまうからである。また、このように追加形成されるシリコン膜質が不均一である場合も、pn接合の接合部分を半導体基板表面（チャネルの形成される面）下の目途の位置に精度よく符合させることは困難となる。膜質（即ち結晶欠陥の有無）により、この中の不純物拡散の速度が変調を受ける(Transient enhanced diffusion)。このため、接合をチャネル面に形成すべく所定の不純物の熱拡散を行っても、素子毎に予期せぬ拡散が行われ、均一な接合深さが得られないからである。全く同様のことが、シリサイド化に伴う金属原子の拡散に対しても当てはまる。膜厚、膜質が不均一であると、せっかくソース、ドレインを追加形成しても、膜厚の薄いところ、膜質の悪いところから金属原子が突出的に拡散し容易に接合面に達してしまう。その結果、接合リークが発生してしまう。

【0013】

また、結晶中の金属の拡散はそれ自体極めて急速である。従って、追加形成するシリコン層は極めて厚くしなければならない。しかし、上記のような理由から、140nmにも及ぶ極めて厚い選択シリコン成長を、均一に行うことは殆ど不可能である。また、この140nmという厚さは、ほぼゲート電極の高さと等しく、ゲート、ソース、ドレインを一挙にシリサイド化する際（シリサイド工程）、ゲートとソース、ドレインの電氣的絶縁を保つことが難しくなるという欠点も生じてく

る。

【0014】

その上、選択シリコン成長膜はゲート電極に隣接した領域でその膜厚が薄くなる。このため、金属を堆積した層から、接合面への最短距離はこの部分で決してしまう、選択シリコン成長膜をいくら厚くしても、接合リーク電流を抑制する機能は限られてしまうことになる。

【0015】

【特許文献1】

特開 2002-367929号

【0016】

【発明が解決しようとする課題】

上述したように、素子の微細化に伴い、ソース、ドレインの接合位置を浅く保ちつつ、且つ、ソース、ドレインの電気抵抗を低く抑えるために、これをシリサイド化することが必要になるが、シリサイドを形成する金属原子の高速拡散と、これが引き起こす接合リークを低く抑えるということが困難になってくる。

【0017】

しかし、この困難を解消すべく Elevated Source Drain構造を実現するに当たっては、選択シリコン成長層をゲート電極の高さに匹敵するほど厚く形成しなければならず、均一で均質な成膜が極めて困難である。

【0018】

本発明は、上記事情を考慮してなされたものであって、浅いソース、ドレイン接合位置を保ちつつ、シリサイド化され、且つ、接合リーク電流が低く抑えられた半導体装置およびその製造方法を提供することを目的とする。

【0019】

【課題を解決しようとする手段】

本発明の第1の態様による半導体装置の製造方法は、NiSi相を持つシリサイド層を、半導体基板に形成されたソース、ドレイン領域上に形成する際に、ソース、ドレイン領域と半導体基板との接合面の深さが、シリサイド層の下面から20nm乃至60nmとなるように形成し、NiSi相を持つシリサイド層形成後の製造工程を、

接合面のシリサイド層の下面からの深さに対応して、以下の式

$$T_c = a \times D_j + b$$

ここで、 T_c は、熱処理の臨界温度[℃]、 D_j は、NiSi下面からの接合位置深さ[nm]、

$$a = 6.11 \quad (20 < D_j \leq 26)$$

$$= 1.60 \quad (26 < D_j \leq 60)$$

$$b = 291 \quad (20 < D_j \leq 26)$$

$$= 408 \quad (26 < D_j \leq 60)$$

を満たす臨界温度 T_c を超えない温度で行うことを特徴とする。

【0020】

なお、NiSi相を持つシリサイド層形成後、シリサイド層を覆うように、シリコン窒化膜を堆積するように構成しても良い。

【0021】

なお、シリコン窒化膜上にさらに絶縁膜を堆積し、絶縁膜をシリコン窒化膜と選択的にRIE法によりエッチング除去し、ソース、ドレイン領域に通じる開口を絶縁膜およびシリコン窒化膜に形成するように構成しても良い。

【0022】

なお、NiSi相を持つシリサイド層上に絶縁膜を形成し、NiSi相を持つシリサイド層に達する開口を絶縁膜に形成し、Cuをメッキ法により開口の内部に充填し電極を形成するように構成しても良い。

【0023】

なお、Cuの充填に先立ち、開口の内部を NF_3 含むプラズマに暴露して、引き続き大気に晒すことなく、開口の底部を含む開口の内壁にバリアメタルをスパッタ法により形成しても良い。

【0024】

また、本発明の第2の態様による半導体装置は、シリコン半導体基板上に形成されたゲート電極と、ゲート電極の両側のシリコン半導体基板に形成されたソース、ドレイン領域と、ソース、ドレイン領域とシリコン半導体基板との接合面までの深さが20nm乃至60nmであるように少なくともソース、ドレイン領域上に形成

されたNiSi層と、を有し、接合面でのNi原子の濃度が $1 \times 10^{14} \text{cm}^{-3}$ 以下である半導体素子を備えたことを特徴とする。

【0025】

なお、ソース、ドレイン領域中にNi原子が存在し、NiSi層の下面から10nmの深さのシリコン半導体基板中に、Ni原子を、 $5 \times 10^{18} \text{cm}^{-3}$ 以上 $3 \times 10^{21} \text{cm}^{-3}$ 以下の濃度で含有することが好ましい。

【0026】

なお、NiSi層を覆うように形成され、光学的屈折率が1.89以下のシリコン窒化膜をさらに備えるように構成しても良い。

【0027】

なお、NiSi層上に形成された絶縁膜と、絶縁膜内に設けられたNiSi層と電氣的に接続するCuを含む金属物質からなる電極とを備えるように構成しても良い。

【0028】

なお、半導体素子が複数個、シリコン半導体基板に形成され、これらの半導体素子は、シリコン半導体基板に形成された素子分離絶縁膜によって分離されていることが好ましい。

【0029】

なお、複数の半導体素子は、論理回路を構成するn型MOSFET及びp型MOSFETであっても良い。

【0030】

【発明の実施の形態】

本発明の実施形態を以下、図面を参照して説明する。

【0031】

まず、本発明の実施形態を説明する前に、本発明に至った経緯を説明する。

【0032】

一般に、SiとNiの金属化合反応（シリサイド化反応）は、 CoSi_2 の形成温度である 800°C よりも低温の 450°C で行うことができる。この際、低電気抵抗相であるNiSiという相が形成される。NiSi相は、さらに高温の熱処理を施すと、 750°C 前後で電気抵抗の高いNiSi₂という最終相へ転移していく。従って、金属原子の拡

散を抑制するためには、低温で形成できるNiSiを利用するのが望ましい。

【0 0 3 3】

しかしながら、我々は、相転移反応を起こすはるか以前に、このNiSi相は熱的に極めて不安定な挙動を示すことを発見した。実際図2に、接合深さを変えた n^+/p 接合上に、NiSiを30nm形成したときの接合リークの値を、シリサイドを施さなかった接合の参照データと共に示す。なお、図2においてシリサイドを施した方は、低抵抗相のNiSiを形成した後、このシリサイド層と金属配線との電氣的接合を得るために500℃、90minの熱処理のみを行っている。この図2からシリサイド膜よりずっと深い、接合深さ140nm付近で、すでに接合リークが発生していることがわかる。これはNi原子が基板中に拡散した結果である。すなわち、NiSi₂への相転移温度である750℃よりもはるかに低い、500℃、90minという熱処理を行っただけでも、Ni原子がシリコン基板奥深くに拡散侵入し、これがリークの原因になる。

【0 0 3 4】

そこで、我々は、さらに、このようなNiSiの熱的不安定性がどのような温度で顕著に進行するかを詳細に調べた結果、熱的不安定性の発現には、ある臨界的な温度が存在し、この温度を超えたときに、NiSiの性質が急速に変化することを新たに発見した。換言すれば、NiSi形成後の熱処理温度をこの臨界温度以下に制限することで、Ni起因の接合リーク発生を効果的に回避できることを見出した。

【0 0 3 5】

以下、これを、図を参照して詳しく説明する。

【0 0 3 6】

まず、我々は、NiSiの熱的安定性の限界点を明確化するために、シリコン基板に様々な深さの $p-n$ 接合を形成した試料を用意し、これらの試料上にNiを堆積した後、450℃の窒素雰囲気中でRTA (Rapid Thermal Annealing)処理を行い、NiSiを30nmの厚さに形成した。その後、これらの試料に400℃、450℃、500℃の温度の熱処理を、10minから90minにわたって加え、発生する接合リーク電流密度を、様々な接合深さで観測した。熱処理の昇降温度率は100℃/minに設定した。また、Backside SIMS法（試料の裏面から表面に向けて研磨し、裏面からSIMS分析を

行う手法であって、表面のNiSiからのノッキング (knocking) を抑制しシリコン基板中の正確なNi濃度が求められる) を用いて、夫々の試料のSi基板中に含まれるNiの濃度 (左縦軸目盛り) の深さ分布を求めた。

【0 0 3 7】

図 1 に、夫々の熱処理条件に対して、観測された接合リーク電流密度 (白丸で表示) を、pn接合深さの関数として示す。また、これに付随して、Backside SIMS法を用いて求めた、夫々の試料のシリコン基板中に含まれるNiの濃度 (黒丸で表示) の深さ分布を、対応する形で合わせて示す。なお、接合リーク電流密度は右縦軸目盛りで、シリコン基板中に含まれるNiの濃度は左縦軸目盛りで表している。

【0 0 3 8】

この図 2 から分かるように、接合リーク電流密度の接合深さ分布とNiの濃度の深さ分布は、極めて良く整合し、リーク電流発生の起源が、Si基板中に侵入したNiによるものであることは、疑う余地がない。

【0 0 3 9】

400℃では、熱処理時間を増加させても、これに伴いリーク電流が新たに発生することはない。接合面がNiSiの下面から20 nm 以上隔たっていればNiによるリーク電流は全く発生せず、リーク電流レベルはNiSiを形成しない場合と同じになる。即ち、接合深さがNiSi下面から20 nm以内の場合に発生する接合リーク電流は、NiSiの形成に伴い不可避免的に進行するNiの基板への浸潤によるものであり、これが、NiSiの p n 接合の浅接合化の本質的限界である。

【0 0 4 0】

逆に、Niの浸潤をこれ以下に抑制するためには、Niとシリコン基板の直接のシリサイド化反応を薄い酸化膜のようなバリア層で阻害しなければならないことになる。しかしながら、バリア層の存在によりNiSiとシリコン基板の接触抵抗が上昇してしまう。また、このようにシリコン基板中に浸潤したNi原子はシリコン禁止帯中に準位を形成し、この準位がNiSiとシリコン基板のショットキー (Schottky) 障壁を、量子力学的トンネル過程を経て往来する電子の伝導を容易にする。言い換えれば、ここに示した程度に、目途とする接合にリークを発生させない範

囲の低温で、Niをシリコン基板中に自由に浸潤させることで、シリコン基板との良好な接触抵抗を実現できることになる。

【 0 0 4 1 】

450℃では、熱処理時間が30minから90minへ増加するに従って、次第に基板の深いところでリーク電流が新たに発生し始める。即ち、Ni原子がNiSi相から遊離し始め、シリコン基板中に拡散を開始する。

【 0 0 4 2 】

500℃では、熱処理時間とともに、顕著に、新たな接合リーク電流が基板の奥深くで発生するようになる。熱処理時間が10minから90minへ増加するに従って、リーク電流の深さプロファイルは基板の奥に向かって移動する。即ち、Ni原子がシリコン基板中を高速に拡散する。さらに、極めて特異なことに、これら10minから90minまでの拡散挙動から、熱処理時間0分のリーク電流の深さプロファイルを外挿計算しても、400℃で観測されたリーク電流の深さプロファイルに一致しない。熱処理時間が0分であるにもかかわらず、400℃で観測されるリーク電流の深さを越えた、シリコン基板の深い所で、すでにリーク電流が発生していることになる。このことは、熱処理の極めて初期に、Ni原子がほぼ瞬間的にシリコン基板へ突出(Burst)することを意味している。

【 0 0 4 3 】

以上、すべての熱処理温度、時間において、NiSiのNiSi₂への相転移は確認されなかった。即ち、上記のNiの挙動はNiSiに固有の性質であることを明記しておく。

【 0 0 4 4 】

次に、上に示したNiのSi中での特異な挙動について、さらに詳しく説明を加える。

【 0 0 4 5 】

図 3 に、リーク電流密度が $1 \times 10^{-7} \text{A/cm}^2$ を示す接合深さの 2 乗を450℃、及び、500℃での熱処理時間の関数として示す。図 3 から分かるように、どちらの熱処理温度でも、接合深さの 2 乗は熱処理時間と線形の関係にあり、観測されたリーク源 (Ni) の移動が拡散方程式に従うものであることが明らかである。さらに、

これらのデータ点の傾きが、所謂、拡散係数に相当することは言うまでもない。この結果、リーク源としてのNiの500℃での拡散係数は、 $62\text{nm}^2/\text{min}$ であり、その活性化エネルギーは、2.03eVであることが判明した。これらの値は、すでに文献として公開されている値、($2.9 \times 10^6\text{nm}^2/\text{min}$, 0.47eV, ; K.Graff, Metal Impurities in Silicon-Device Fabrication, Springer, 1995)と大きく異なるものであることを付記しておく。これは、Niが幾つかの集合体となって拡散するという特異な挙動を示唆するものと思われる。

【0046】

図3から分かるもう一つの顕著な特徴は、上記の線形関係が処理時間を0minとしたときに互いに交わらないことである。即ち、500℃でのリーク源としてのNiは、時間に寄らない、ある一定の距離だけ、シリサイド形成反応によるNiの不可避的浸潤深さを超えて、すでにシリコン基板中に余分に浸潤していることになる。これが、上に説明した熱処理によるNiの初期バースト（突出）である。

【0047】

図4に、熱処理時間0minに外挿した場合のNiの初期浸潤深さ（即ち、シリサイド形成反応によるNiの不可避的浸潤深さと、その後の熱処理でのNiの初期バースト量の和）を熱処理温度の関数として示す。深さには、NiSiの膜厚30nmが含まれることに注意されたい。450℃までは、Niのシリコン基板中への浸潤はシリサイド形成反応によるものが主であるのに対して、500℃では、これに熱処理でのNiの初期バーストが加わって、Niの初期浸潤深さが急速に大きくなることが分かる。これは、Niが幾つかの集合体となって拡散するという特異な挙動を示す以前に、短期間、Ni原子が、単体で、上記の文献値に近い超高速の拡散を行うことを示唆するものと思われる。

【0048】

以上、説明したように、我々は、Niのシリコン基板中での挙動は、初期浸潤現象とその後の正則な拡散現象によって構成されていることを発見した。拡散係数の活性化エネルギーが2.03eVと大きいことと、Niの初期バーストが500℃の近傍で急増することが相乗作用して、Niのシリコン基板中への侵入深さはある温度を境として、極めて急速に増加することがわかる。言い換えれば、Niのシリコン基

板中への侵入を阻止するためには、NiSi形成後の熱処理温度を450℃近傍のある臨界温度以下に制限することが必要不可欠となる。

【0049】

実際、NiSi下面から50nm隔たった位置に接合面を形成した場合に、Niのシリコン基板中への浸潤、及び、拡散によるリークを発生させないために許される熱処理時間すなわち許容熱処理時間を、熱処理温度の関数として、図5に示す。この許容熱処理時間は、リーク電流密度が $1.0 \times 10^{-7} \text{A/cm}^2$ に達するときの熱処理時間である。この図5から熱処理温度が480℃を超えた場合、いかなる熱処理も加えることが許されないことが分かる。このように、NiSiの熱的不安定性に起因したリークの発生には、ある臨界的な温度が存在し、この温度を超えたときに、NiSiは熱的に不安定となり、多量のNiが接合面に達し、リーク電流が急速に増加する。一方、熱処理温度を低下させると、許容される熱処理時間は急速に増加し、熱処理温度が400℃では、半導体製造工程上、実質的に、ほぼ問題無い熱処理時間を確保できることになる。即ち、熱処理温度を臨界温度以下に保つことで、リーク電流の発生を効果的に抑制することが可能となる。

【0050】

以上、NiSiの下面から50nm隔たった位置に接合面を形成した場合に説明したことは、その他の接合位置を有する素子製造に対しても同様に当てはまることは言うまでもない。図6には、熱処理の臨界温度を、NiSiの下面からの接合位置深さの関数として、NiSiによる浅接合化の限界である20nmから接合深さ60nmにわたる範囲で、図示した。これらの臨界温度は以下の近似式(1)で精度良く表現できる。

$$T_c = a \times D_j + b \quad \dots \quad (1)$$

ここで

$$\begin{aligned} a &= 6.11 \quad (20 < D_j \leq 26) \\ &= 1.60 \quad (26 < D_j \leq 60) \\ b &= 291 \quad (20 < D_j \leq 26) \\ &= 408 \quad (26 < D_j \leq 60) \end{aligned}$$

D_j : NiSi形成後のNiSi下面からの接合位置深さ [nm]

T_c : 熱処理の臨界温度 [°C]

【0051】

以上、詳しく説明したように、我々は、NiSiの熱的不安定性を詳細に調査していく過程で、Niのシリコン基板中での挙動が、初期浸潤現象とその後の正則な拡散現象によって構成されているという特異な現象を発見した。また、これに付随してNiのシリコン基板中への侵入深さはある温度を境として、極めて急速に増加する事を見出した。言い換えれば、Ni起因の接合リーク発生を回避するためには、NiSi形成後の熱処理温度をある臨界温度以下に制限することが必要不可欠となる。我々は、この臨界温度を、NiSi層下面からの接合位置深さの関数として、NiSiによる浅接合化の限界である20nmから接合深さ60nmにわたる範囲で明確化することに成功した。

【0052】

従って、NiSi層上に、NiSi層下面から計ったMOSFETのソース、ドレインの接合深さに対応して、図6或いは近似式(1)に規定する臨界温度を超えない温度で、絶縁層を形成する事で、Niの接合面への到達を抑止し、リークの発生を阻止できる。

【0053】

また、上記絶縁層形成後にこの絶縁層を貫き、NiSi層に達する金属配線を形成するにあたっては、Al或いはCuを用いてこれを形成することで、図6或いは近似式(1)に規定する臨界温度以下の低温で、良好な電氣的接触を実現できる。

【0054】

当然、Niの接合面への到達を抑止され、リークの発生は阻止できる。

【0055】

このようにして、浅いソース、ドレイン接合位置を保ちつつ、ソース、ドレイン上がシリサイド化され、且つ、接合リークが低く抑えられた、超高速微細半導体装置の製造が可能となる。

【0056】

(実施形態)

以下、本発明の一実施形態による半導体装置を、図8乃至図16を参照して説

明する。図8乃至図16は、本実施形態による半導体装置の製造工程断面図である。本実施形態による半導体装置は、Ni原子のシリコン半導体基板への拡散を抑制し、自己整合的にNiSi層をソース、ドレイン、ゲート電極上に具備したサリサイド型MOSFET構造であって、簡略な製造工程に製造される。

【0057】

まず、図8に示すように、シリコン半導体基板10の表面に、リソグラフィ工程、RIE(Reactive Ion Etching)工程、等により基板表面に浅い溝を形成した後、CVD(chemical vapor deposition)法により絶縁膜を堆積し、更に、CMP(chemical mechanical polishing)法による平坦化することによって、素子分離領域12を形成する。

【0058】

次に、図9に示すように、基板10の主面上に、ゲート絶縁膜14を、例えば、熱酸化法などの、公知の技術の効果的な方法を用いて、例えば、5nm形成する。続いて、ゲート電極材料、例えば、ポリシリコンからなる層16を、例えば、CVD法などの方法を用いて、例えば、200nm堆積し、この後、リソグラフィ法により例えばフォトリソグラフィからなるレジストパターン（図示せず）を形成し、RIE工程等により、このレジストパターンをマスクとしてゲート絶縁膜14、ゲート電極16をパターニングする。

【0059】

次に、図10に示すように、ゲート電極16をマスクとして、基板10と逆の導電性を有する不純物をイオン注入することによってゲート電極16の左右に、ソース、ドレインエクステンション領域となる、基板10と逆の導電性を有した浅い拡散層22を形成する。続いて、例えば、CVD法により、例えばシリコン窒化膜24を20nm堆積する。その後、RIE工程等の異方性エッチングを行い、ゲート電極16の側部に、シリコン窒化膜を選択的に残存させ、ゲート側壁20を形成する。そして、ゲート電極16、ゲート側壁20をマスクとして、シリコン基板10と逆の導電性を有する不純物をイオン注入することにより、ゲート電極16の左右に、ソース、ドレイン領域となる、シリコン基板10と逆の導電性を有した拡散層22を形成する。さらに、これに急速昇降温熱処理を施すことで、不

純物を活性化しておく。拡散層 22 は、シリコン基板 10 表面より、例えば 80nm の深さまで形成される。

【0060】

次に、図 11 に示すように、例えばスパッタ法などを用いて、例えば 12nm の膜厚で、Ni 層 24 を全面に堆積する。必要に応じてこの上にさらに、キャップ層となる金属物質、例えば Ti または TiN のような物質を堆積形成しても良い。

【0061】

次いで、図 12 に示すように、この半導体基板を、例えば 450℃、30sec 間窒素中で急速熱処理し、Ni 層 24 と直接接しているシリコンとの間でシリサイド化反応を選択的に進行させる。NiSi からなるシリサイド層 26 が、ソース上、ゲート上、およびドレイン上に形成される。この時、NiSi 層 26 の膜厚は 28nm 乃至 30nm となる。従って、ソース、ドレイン拡散層 22 の接合面は、NiSi 層 26 の下面から 50nm 程度の深さに位置することとなる。また、この熱処理では NiSi₂ 相は形成されない。

【0062】

また、Ni とシリコン基板 10 が直接接触しているため、図 1 に示すように、400℃の熱処理に対応して、NiSi 層 26 の下面から 20nm 程度の領域に Ni 原子が浸潤し、さらに、同図の示すように NiSi 層 26 の下面から 10nm では、Ni の濃度が $5 \times 10^{18} \text{cm}^{-3}$ となる。これにより NiSi 層 26 とソース、ドレイン領域 22 との良好な電氣的接触が図られることになる。Ni の浸潤をさらに抑制するためには、Ni とシリコン基板 10 の反応を阻害するしかなく、上記電氣的接触を犠牲にせざるを得ない。従って、Ni は上記したようにシリコン基板 10 中にある程度浸潤していることが好ましい。しかしながら、良好な電氣的接触を得るために、NiSi 層 26 の下面から 10nm の位置での Ni の濃度が、単に上記の値より高ければ良いと言うものではないことは明らかである。NiSi 層 26 の下面から 10nm の位置での Ni の濃度が極端に高くなることは、Ni の基板への拡散が生じていることを意味する。図 1 に重ねて示す通り、この後、もし 500℃の熱処理を加えた場合、NiSi 層 26 の下面から 50nm 程度の深さ（即ち接合深さ 80nm）でリークが発生してしまうことになる。このときの、NiSi 層 26 の下面から 10nm での Ni の濃度は $3 \times 10^{21} \text{cm}^{-3}$ となる。従っ

て、リークの抑制された接合が実現されている限り、NiSi層 26 の下面から10nmの位置でのNiの濃度は、 $3 \times 10^{21} \text{cm}^{-3}$ 以下に制限されていることが必要条件である。

【0063】

その後、図12に示すように、ゲート側壁20、素子分離領域12上の未反応のNiは、硫酸と過酸化水素水の混合液に浸すことで選択的に除去する。

【0064】

次に、図13に示すように、NiSi層26を覆うようにシリコン窒化層28を、例えば20nmの厚さで、基板の表面に一様に堆積させる。この時、シリコン窒化層28の成膜温度は、先に説明した通り、MOSFETのソース、ドレイン領域22の接合深さに対応して、図6或いは近似式(1)に規定する臨界温度を超えない温度で、形成しなければならない。本実施形態の場合、ソース、ドレイン拡散層22の接合面は、NiSi層26の下面から50nm程度の深さに位置しているので、臨界温度は480℃となる。このシリコン窒化層28は、その後の層間絶縁膜(図示せず)の形成、これを貫くコンタクトホール形成時に、バリア層、エッチングストップ層、即ち、ライナー層として機能することになる。このようなライナー層を素子分離領域12を含む基板の表面に一様に設けることで、コンタクトホールの形成は必ずしもソースおよびドレイン上のNiSi領域26と精密に位置整合せずに行うことができる(Borderless Contactの形成)。このため、素子製造工程を簡略化でき、製造コストの低減化が図れることになる。

【0065】

このような低温でのシリコン窒化膜28の一様な堆積は、 Si_2Cl_6 と NH_3 を供給ガスとした化学気相成長法(CVD, Chemical Vapor Deposition)、或いは、 SiH_2Cl_4 と NH_3 を用いた原子層堆積法(ALD, Atomic Layer Deposition)によって実現できる。この時、成膜温度と形成されるシリコン窒化膜の屈折率には強い相関関係があることを、我々は見出した。図7には、上記2つの手法にかかるシリコン窒化膜の屈折率を成膜温度の関数として示す。成膜手法にあまり依存せず、成膜温度を480℃以下に低温化すると、シリコン窒化膜28の屈折率は1.89以下に低下していくことが見て取れる。従って、臨界温度以下で成膜されたライナー層となる

シリコン窒化膜 28 は、当然、1.89 以下の屈折率を有することとなる。なお、屈折率の測定は、光学干渉計（エリプソメトリ）を用いて計測することができる。

【0066】

これ以外に、プラズマ支援化学気層成長法 (PACVD, Plasma Assisted Chemical Vapor Deposition) によっても、低温でのシリコン窒化膜を行える。しかし、上述した CVD 法、ALD 法に比して、その堆積一様性が劣り、ライナー層としてはあまり適当ではない。ただし、この場合でも、成膜されるシリコン窒化膜の屈折率は 1.89 以下になることは付言しておく。

【0067】

このように、臨界温度を超えない低温で、ライナー層となるシリコン窒化膜 28 を形成することで、NiSi 層 26 からのシリコン基板 10 への Ni の侵入を抑止し、従って、接合リーク電流の発生を阻止できることは言うまでもない。

【0068】

次に、図 14 に示すように、ライナー層となるシリコン窒化膜 28 上に層間絶縁膜となるシリコン酸化膜 30 を堆積する。この時、シリコン酸化層 30 の成膜温度は、先に説明した通り、MOSFET のソース、ドレイン領域 22 の接合深さに対応して、図 6 或いは近似式 (1) に規定する臨界温度を超えない温度、即ち 480℃未満で、形成しなければならない。この層間絶縁膜となるシリコン酸化膜 30 は、その後、この上に金属配線を形成する必要があるために、成膜後、その表面が、なるべく下地の凹凸を反映せず、平坦なものとなることが望ましい。

【0069】

このような、低温で、表面平坦性を示すシリコン酸化膜は、例えば、400℃で O_3 , $Si(OC_2H_5)_4$ (TEOS) ガスを供給することで実現することが可能である。

【0070】

また、SOG (Spin on Glass) や珪素化合物 $R_nSi(OH)_{4-n}$ (R: 有機分子及び添加材) のような流動性を示すシリコン酸化膜の材料物質を含む材質を、例えばスピナーを用いて回転塗布し、この後、例えば窒素雰囲気中で、例えば 300℃、30 分で熱処理することで、シリコン酸化膜の材料物質以外の成分を除去し、シリコン酸化層 30 を形成してもよい。

【0071】

続いて、図14に示すように、公知の手法、例えば、リソグラフィ法、RIE法等を用いて、シリコン酸化層30をパターニングし、ソースおよびドレイン上のNiSi領域26に通じるコンタクトホール32を形成する。この時、RIEは2段階に分けて行うのが好ましい。まず、シリコン窒化膜に対して選択性のある酸化膜エッチングを行い、ライナー層となるシリコン窒化膜28をRIEのエッチングストッパーとして利用する。引き続き、コンタクトホール32の底部に残存する薄いシリコン窒化膜28を短時間のエッチング処理にて除去する。エッチングが短時間で完了できるので、下地のNiSi領域26に対するプラズマダメージ等を軽減でき、コンタクトホール32の底部が一部、素子分離領域12に重なった場合でもこの重なった部分での、コンタクトホール32の素子分離領域12内への突貫を防ぐことが可能となる。

【0072】

次に、コンタクトホール32の底部に露出したNiSi層26の上部を、例えば、NF₃含むプラズマに短時間暴露して、この表面を洗浄し、引き続き大気に晒すことなく、低圧に保ったまま、図15に示すように半導体基板の全面にバリア性を持つ金属物質、例えばTaからなるバリア層（バリアメタル）34を例えば5nmの厚さで、例えばスパッタ法により形成する。NiSi層26の上部は大気に晒すことがないので、大気中の酸素とNiSi領域26の上部が反応することがなく、このため、薄い酸素を含む絶縁層が形成されることがない。従って、Taからなるバリア層34はNiSiと良好な電氣的接触を保つことができる。本実施形態と異なり、仮に薄い酸素を含む絶縁層が形成された場合、通常NiSi層26との良好な電氣的接触を得るためには、500℃前後の熱処理が必要となる。しかし、本実施形態のような手法を用いれば、熱処理を行わなくても、電氣的接触を良好に確保できる。

【0073】

さらに、この半導体基板をCu₂SO₄を含む水溶液中に浸し、基板10に負の電位を印加し、コンタクトホール32を充填するように、Cuを半導体基板全面にメッキ形成する。この後、層間絶縁膜となるシリコン酸化膜30の上面に形成されたCuを、CMPのような公知の手法を用いて除去することにより、コンタクトホール

32内にCuからなるソースおよびドレイン電極36が形成される。メッキ法は室温で行える。従って、臨界温度を超えない低温で、コンタクトホール32への金属物質の充填を完了することで、NiSi層26からのシリコン基板10へのNiの侵入を抑止し、従って、接合リーク電流の発生を阻止できることは言うまでもない。

【0074】

また、コンタクトホール32への金属物質の充填は、上記以外にも、Taの代わりにTiを用い、またCuメッキ法以外に、CuをふくむAlを例えば400℃に昇温した条件でスパッタすることで、Alの基板表面での流動性を誘起し、コンタクトホール32に流し込むように形成することもできる（Al-リフロー法）。

【0075】

次に、図16に示すように、層間絶縁膜であるシリコン酸化膜38を堆積し、これにリソグラフィ法、RIE法等の公知の手法を用いて、シリコン酸化膜38内に配線物質を埋め込むべき溝40を形成する。さらに、図15で説明した手法を繰り返し、この溝40の中に、例えばTaからなるバリア層42およびCuからなる電極44を形成する（ダマシン法）。続いて、配線物質44の上部を覆うように、さらに絶縁物質、例えばシリコン酸化膜46を堆積する。これらすべての工程は、臨界温度を超えない低温で遂行する。当然、NiSi層26からのシリコン基板10へのNiの侵入を抑止し、従って、接合リーク電流の発生は阻止される。

【0076】

さらに、必要ならば、臨界温度を超えない低温で、多層の配線を構築し、また実装工程などを経て、半導体装置を完成させる。

【0077】

このようにして、非常に浅いソース、ドレイン拡散層22を備えながら、ゲート、ソース、ドレイン上がシリサイド化され、しかも、金属原子の拡散が抑制されているため接合リーク電流が極めて低く抑えられ、シリサイド層26とソース、ドレイン領域22のコンタクト抵抗が低減された高駆動力MOSFET素子が完成する。

【0078】

以上詳述したように、NiSi層上に、MOSFETのソース、ドレインのNiSi下面よりの接合深さに対応して、所定の臨界温度を超えない温度で、絶縁層を形成する事で、Niの接合面への到達を抑止し、リーク電流の発生を阻止できる。

【0079】

より具体的には、特に、NiSi層上に、MOSFETのソース、ドレインのNiSi層の下面よりの接合深さに対応して、図6 或いは近似式(1)に規定する臨界温度を超えない温度で、シリコン窒化層を、バリア層、エッチングストップ層、即ち、ライナー層として形成することで、Niの接合面への到達を抑止し、リークの発生を阻止できる。

【0080】

同時に、このようなライナー層を、素子分離領域を含む基板の表面に一様に設けることで、コンタクトホール形成は必ずしもソース、ドレイン上NiSi領域と精密に位置整合せずに行うことができる(Boarderless Contact形成)。このため、素子製造工程を簡略化でき、製造コストの低減化が図れることになる。

【0081】

また、NiとSi基板を直接接触させつつNiSiを形成しているため、NiSi層下面から10nmには、 $5 \times 10^{18} \text{ cm}^{-3}$ の濃度のNiが浸潤し、NiSi層とソース、ドレイン領域との良好な電氣的接触が図られる。

【0082】

加えて、特に、NiSi層上に、MOSFETのソース、ドレインのNiSi層下面よりの接合深さに対応して、図6 或いは近似式(1)に規定する臨界温度を超えない温度で、表面平坦性を示すシリコン酸化膜を形成する事で、Niの接合面への到達を抑止し、リークの発生を阻止できる。

【0083】

同時に、このような表面平坦性を示すシリコン酸化膜を用いることで平坦化工程を簡略化することができ、製造コストの低減化が図れることになる。

【0084】

さらに、コンタクト底部に露出したNiSi層の上部を、プラズマに短時間暴露して、この表面を洗浄し、引き続き大気に晒すことなく、低圧に保ったまま、半導

体基板の全面にバリア性を持つ金属物質を形成することにより、大気中の酸素とNiSi領域上部が反応し、薄い酸素を含む絶縁層が形成されることがない。従って、バリア性を持つ金属物質はNiSiと500℃前後の熱処理が無くても良好な電氣的接触を保つことができる。従って、NiSi層からのシリコン基板へのNiの侵入を抑止し、接合リーク電流の発生を阻止できる。

【0085】

その上、コンタクトホールを充填するように、Cuをメッキ形成することにより、臨界温度を超えない低温で、コンタクトホールへの金属物質の充填を完了でき、NiSi層からのシリコン基板へのNiの侵入を抑止し、従って、接合リーク電流の発生を阻止できる。

【0086】

以上説明したように、本実施形態によれば、浅いソース、ドレイン接合位置を保ちつつ、シリサイド化され、且つ、接合リーク電流が低く抑えられ、しかも、ソース、ドレイン高さはゲート電極よりも低く保たれた半導体装置およびその製造方法を得ることができる。

【0087】

上記の実施形態は、単一のMOSFETを用いて説明してきたが、上記手法が複数の素子に対しても同様に適応可能であること、また、半導体装置の一部を形成する素子群に対して選択的に適応すること、或いは、異なる導電性のMOSFETにたいしても、応用できることはいうまでもない。また、複数の接合深さを有するMOSFETを対象とするときは、臨界温度を規定すべきNiSi層の下面からの接合深さは、リーク電流を発生させたくない最も浅い接合深さに対応することは明らかであろう。

【0088】

また、上記実施形態のMOSFETを例えば図17に示すような論理回路50を構成するn型MOSFET52、53とp型MOSFET54、55に用いることができる。この論理回路50はNAND回路であって、2個直列にされたn型MOSFET52、53と、2個並列にされたp型MOSFET54、55から成る。図17において、2入力A，Bが同時に「1」レベルとなると、2個直列のn型MOSFET52、53が同時に

ONし、出力Xには「0」レベルが得られる。2入力A, Bのうちいずれか一方が「0」レベルであると、2個並列のp型MOSFET 5 4、5 5のいずれか一方がONし、出力Xには「1」レベルが出力される。また、2入力A, Bが同時に「0」レベルであると、2個並列のp型MOSFET 5 4、5 5が同時にONし、出力Xには「1」レベルが得られる。

【0 0 8 9】

【発明の効果】

以上、述べたように、本発明によれば、浅いソース、ドレイン接合位置を保ちつつ、シリサイド化することが可能であり、且つ、接合リーク電流を低く抑えることができる。

【図面の簡単な説明】

【図 1】

種々の熱処理条件に対して、夫々の試料の観測された接合リーク電流密度およびシリコン基板中に含まれるNiの濃度の深さ分布を、pn接合深さの関数として示す図。

【図 2】

接合深さを変えたn+/p 接合上に、NiSiを30nm形成したときの接合リークの値を、シリサイドを施さなかった接合の参照データと共に接合深さの関数として示した図。

【図 3】

リーク電流密度が $1 \times 10^{-7} \text{A/cm}^2$ を示す接合深さの2乗を450℃および500℃での熱処理時間の関数として示した図。

【図 4】

熱処理時間0minに外挿した場合のNiの初期浸潤深さを熱処理温度の関数として示した図。

【図 5】

NiSi層の下面から50nm隔たった位置に接合面を形成した場合に、Niのシリコン基板中への浸潤および拡散によるリーク電流を発生させないために許される熱処理時間を、熱処理温度の関数として示した図。

【図 6】

リーク電流を発生させないために許される熱処理の臨界温度を、NiSi層の下面からの接合位置深さの関数として、NiSiによる浅接合化の限界である20nmから接合深さ60nmにわたる範囲で示した図。

【図 7】

化学気層成長法および原子層堆積法によって形成されたシリコン窒化膜の屈折率を成膜温度の関数として示した図。

【図 8】

実施形態による半導体装置の製造工程を示す工程断面図。

【図 9】

実施形態による半導体装置の製造工程を示す工程断面図。

【図 1 0】

実施形態による半導体装置の製造工程を示す工程断面図。

【図 1 1】

実施形態による半導体装置の製造工程を示す工程断面図。

【図 1 2】

実施形態による半導体装置の製造工程を示す工程断面図。

【図 1 3】

実施形態による半導体装置の製造工程を示す工程断面図。

【図 1 4】

実施形態による半導体装置の製造工程を示す工程断面図。

【図 1 5】

実施形態による半導体装置の製造工程を示す工程断面図。

【図 1 6】

実施形態による半導体装置の製造工程を示す工程断面図。

【図 1 7】

実施形態による半導体装置の構成を示すブロック図。

【図 1 8】

接合深さを変えたn+/p 接合上に、CoSi₂シリサイドを35nm形成したときの接合

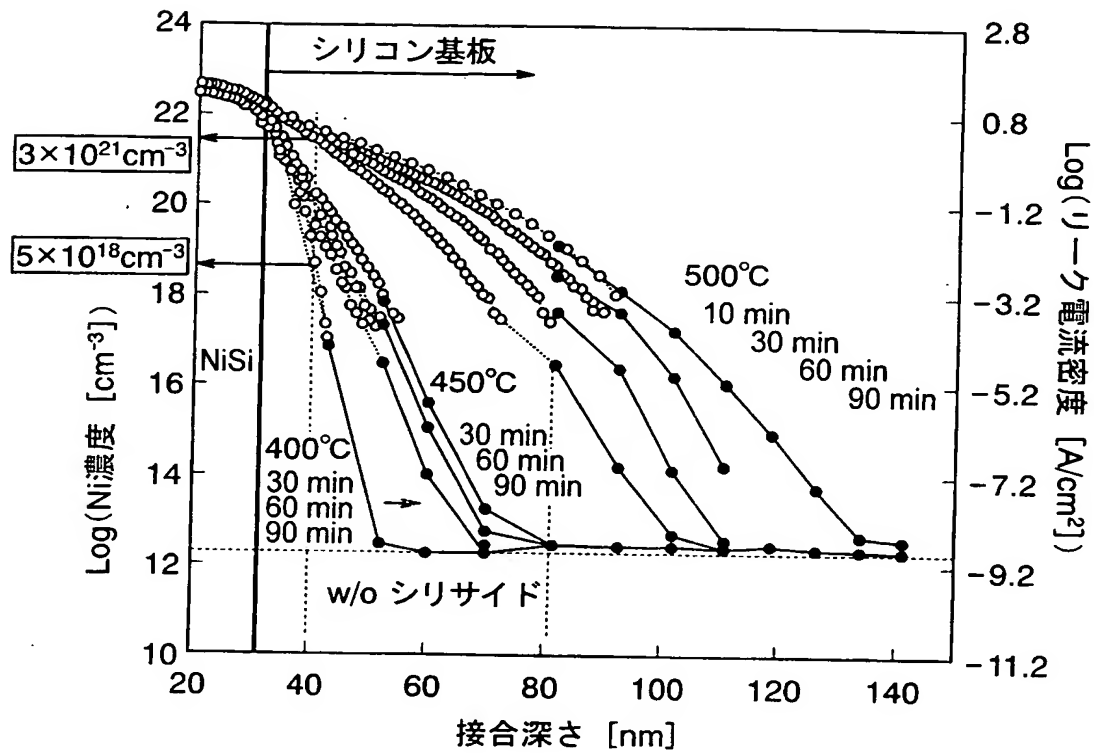
リークの値を、シリサイドを施さなかった接合の参照データと共に接合深さの関数として示した図。

【符号の説明】

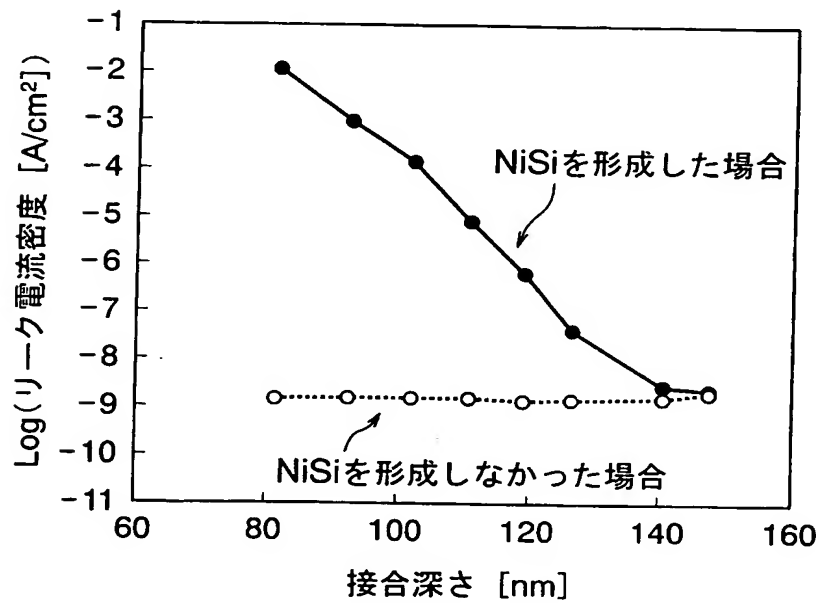
- 1 0 シリコン半導体基板
- 1 2 素子分離領域
- 1 4 ゲート絶縁膜
- 1 6 ゲート電極
- 1 8 ソースおよびドレインのエクステンション領域
- 2 0 ゲート側壁
- 2 2 ソースおよびドレイン領域
- 2 4 Ni層
- 2 6 NiSi層（シリサイド層）
- 2 8 シリコン窒化膜（ライナー層）
- 3 0 シリコン酸化膜（層間絶縁膜）
- 3 2 コンタクトホール
- 3 4 バリア層
- 3 6 電極
- 3 8 シリコン酸化膜（層間絶縁膜）
- 4 0 溝
- 4 2 バリア層
- 4 4 電極
- 4 6 シリコン酸化膜
- 5 0 NAND回路

【書類名】 図面

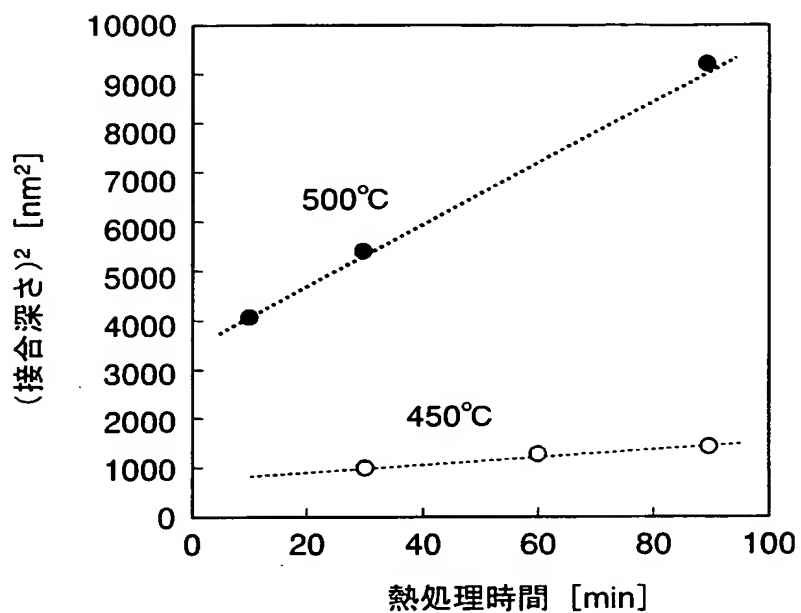
【図 1】



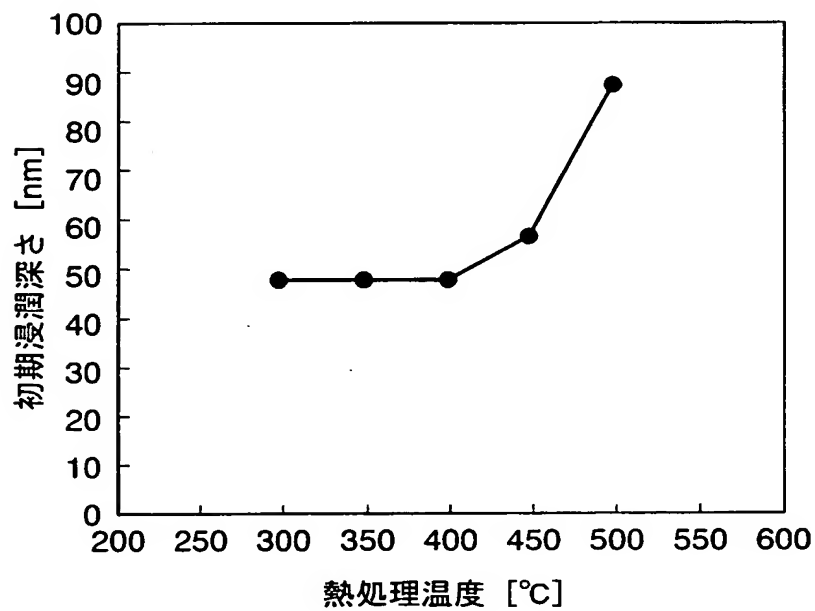
【図 2】



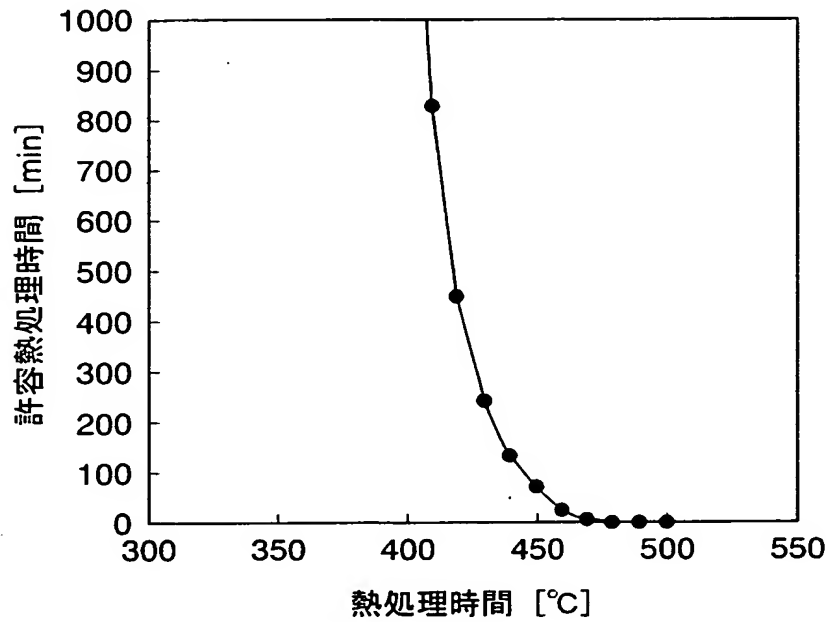
【図 3】



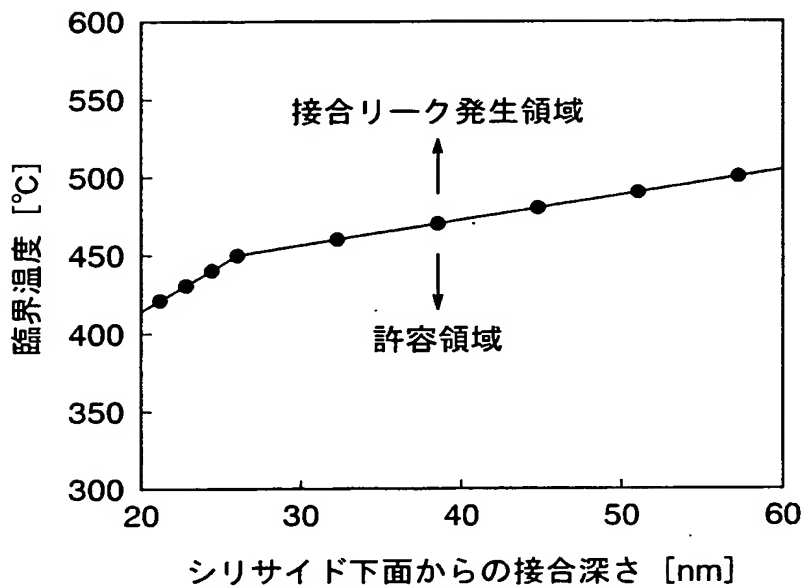
【図 4】



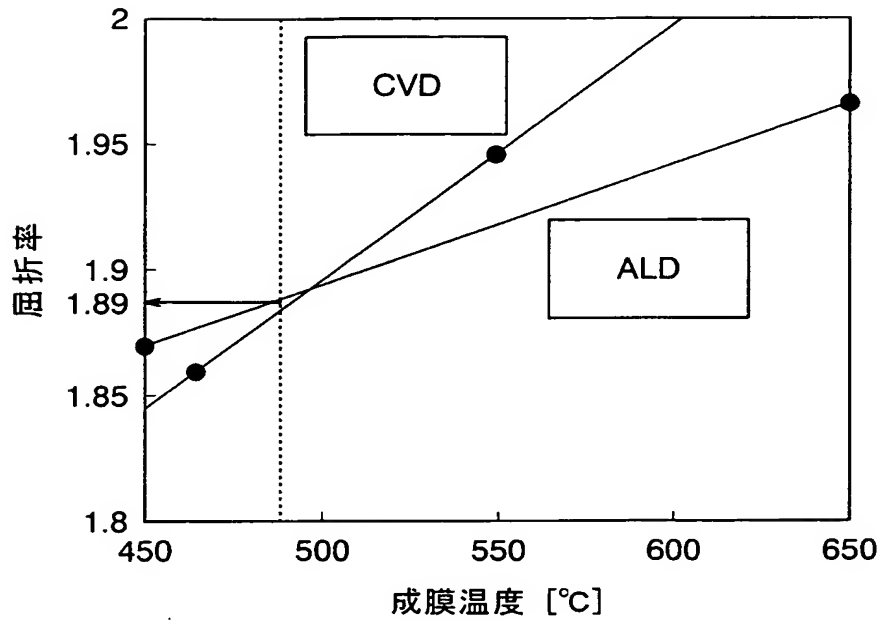
【図 5】



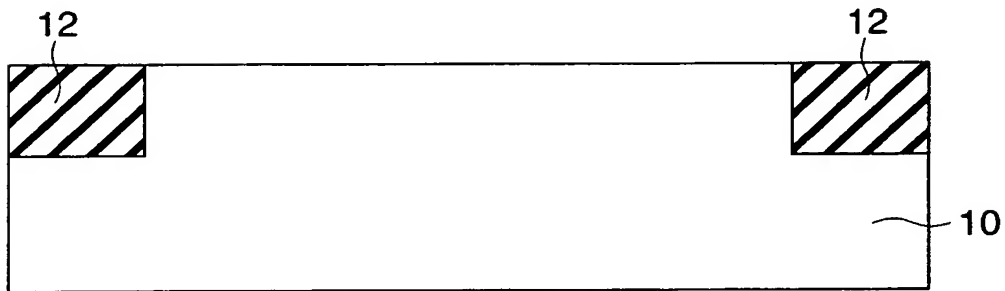
【図 6】



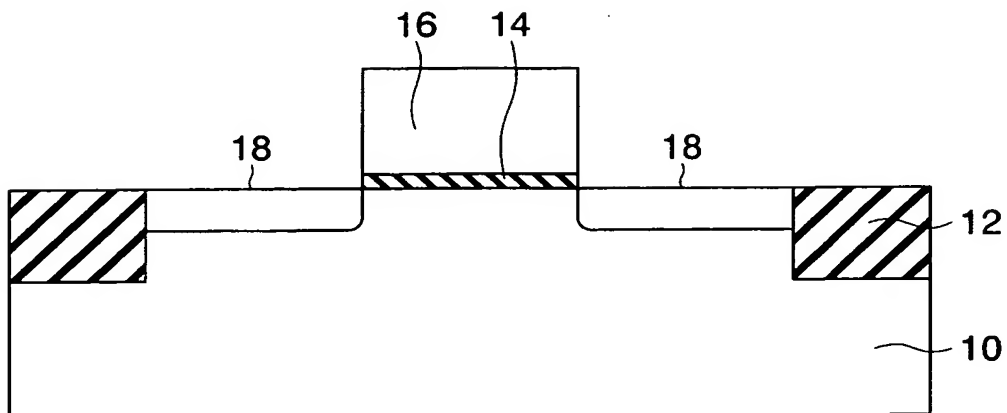
【図 7】



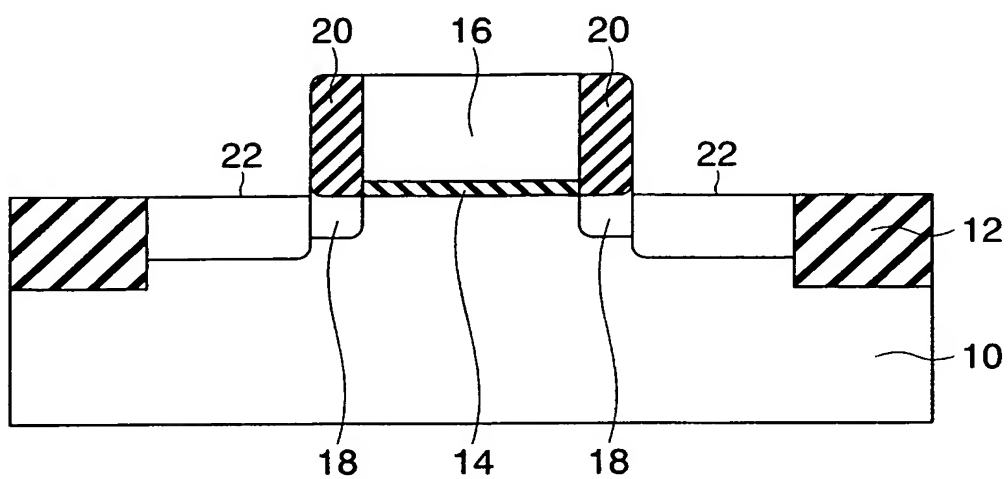
【図 8】



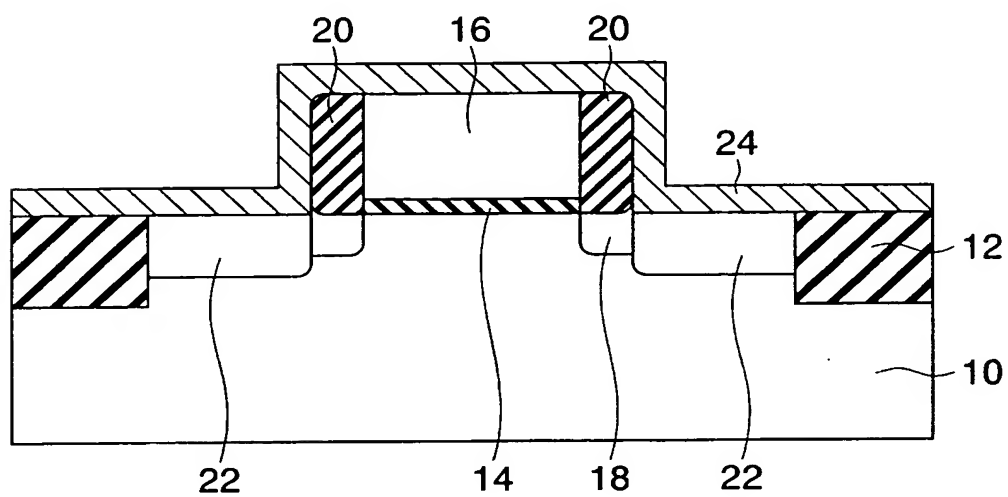
【図 9】



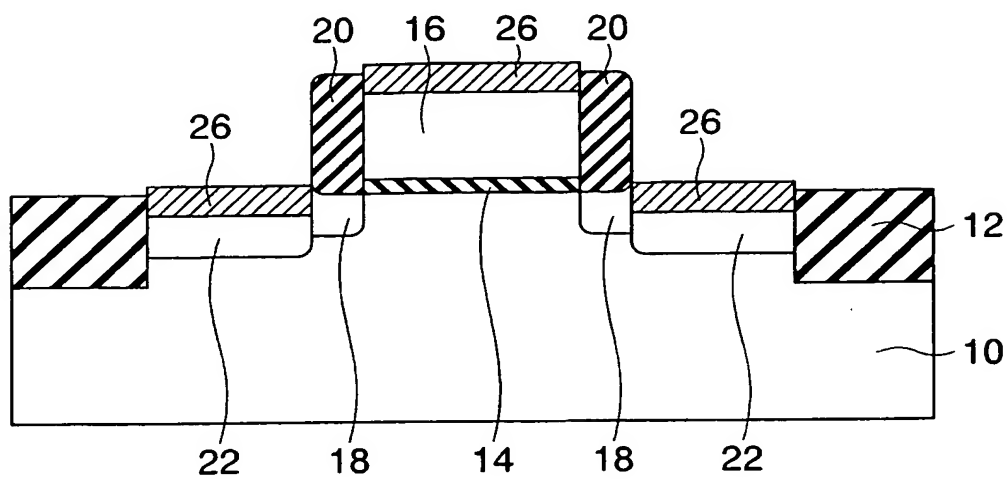
【図 10】



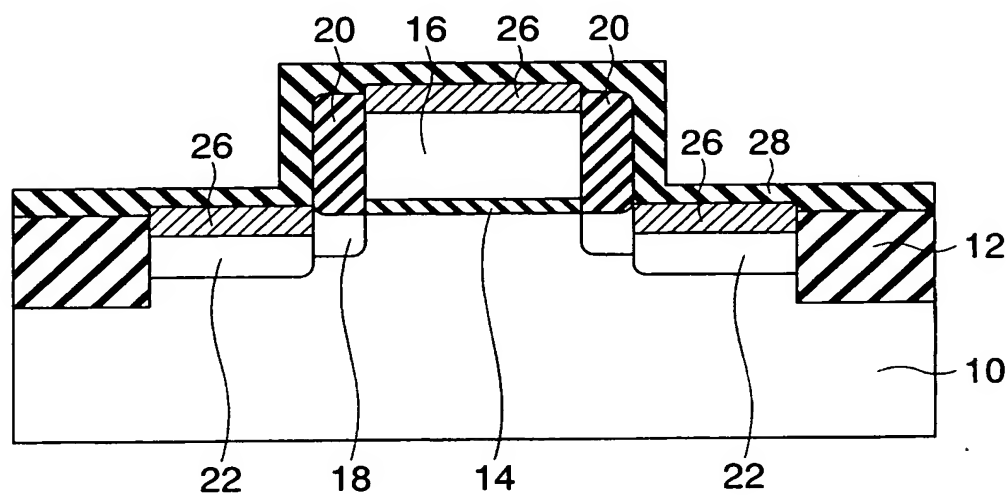
【図 1 1】



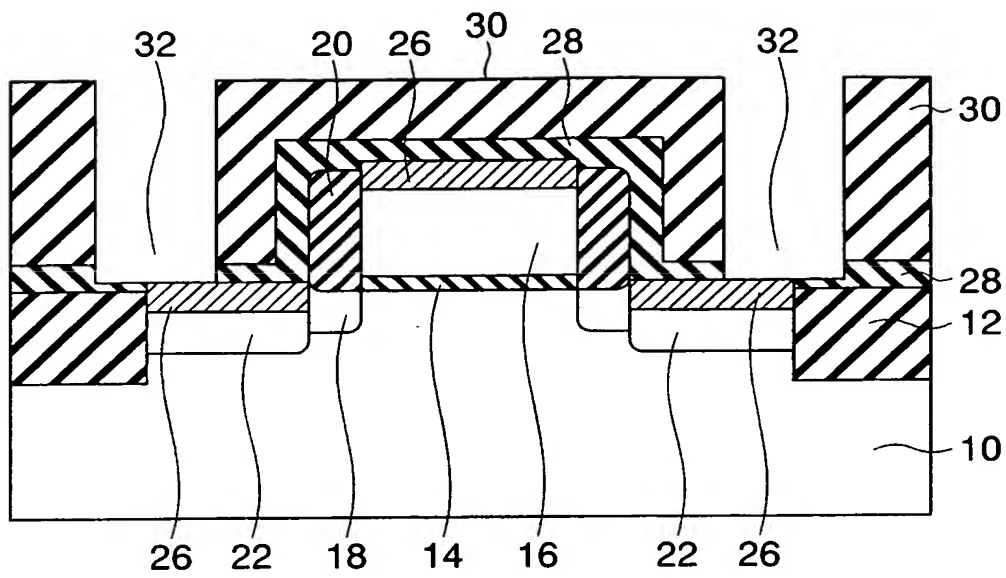
【図 12】



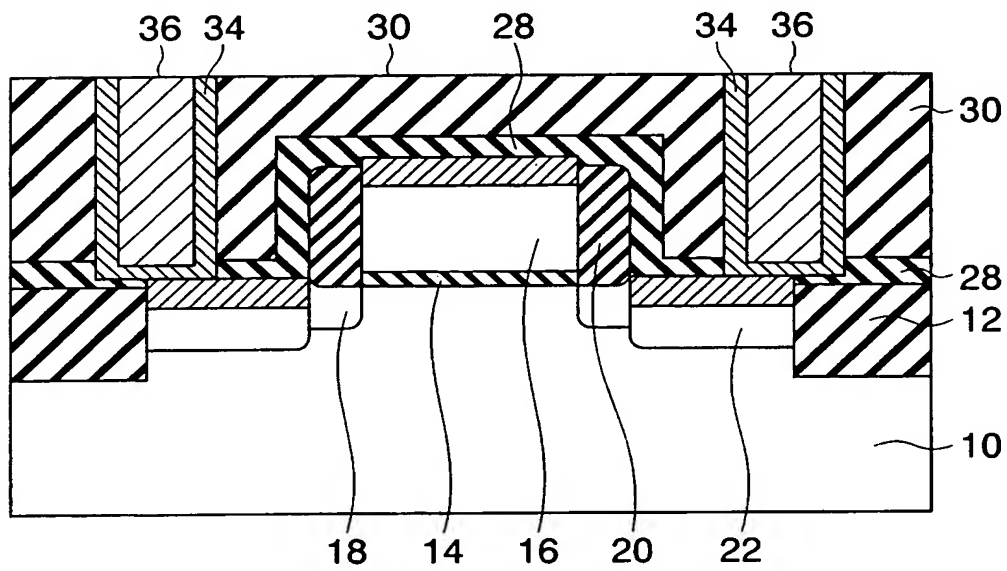
【図 13】



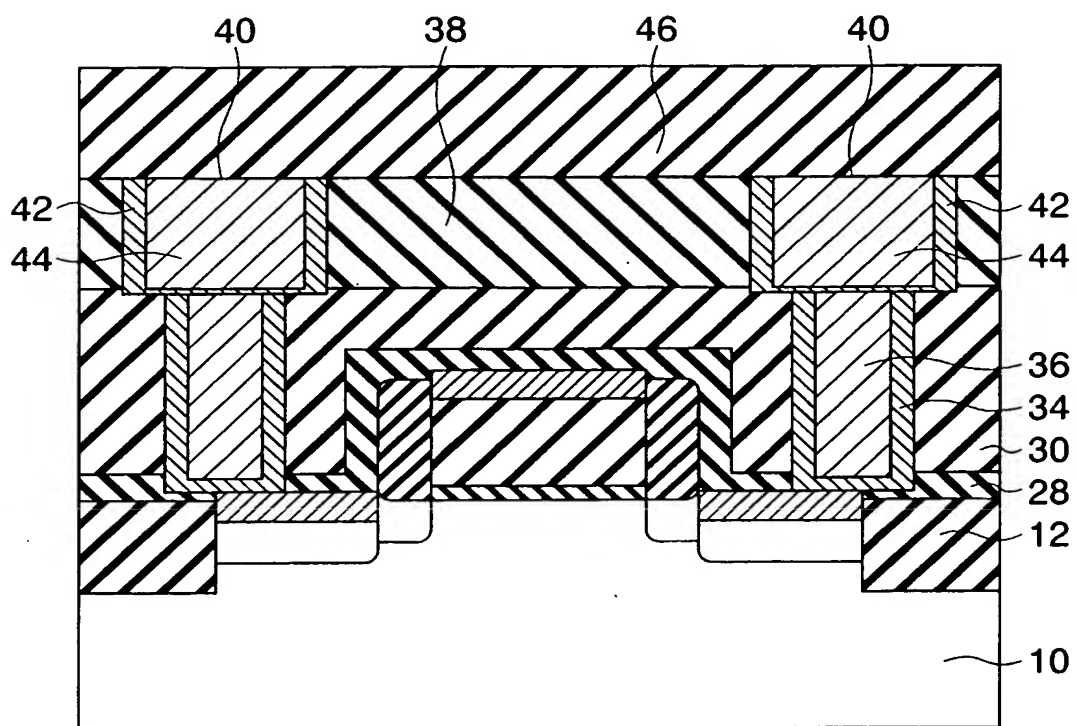
【図 14】



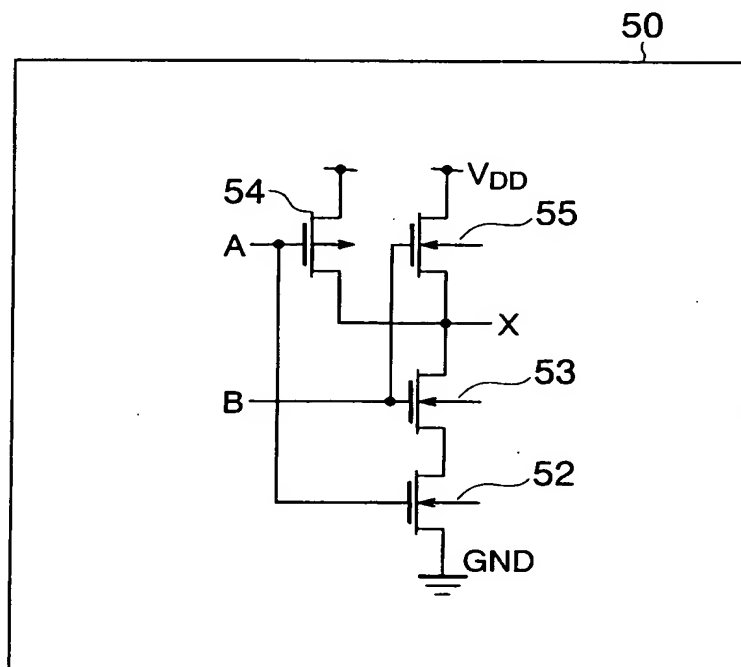
【図 15】



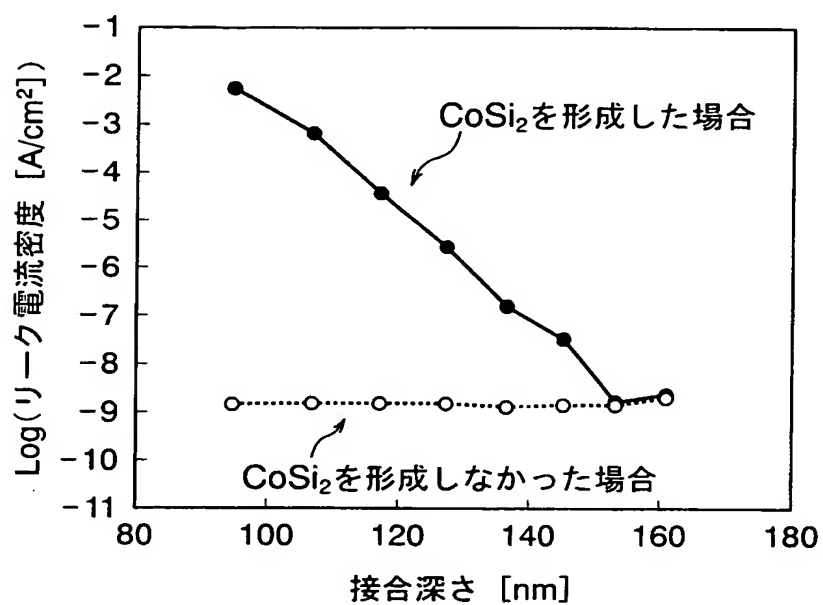
【図 16】



【図 17】



【図 18】



【書類名】 要約書

【要約】

【課題】 浅いソース、ドレイン接合位置を保ちつつ、シリサイド化することが可能で、且つ、接合リーク電流を低く抑えることを可能にする。

【解決手段】 NiSi相を持つシリサイド層 2 6 を、半導体基板に形成されたソース、ドレイン領域 2 2 上に形成する際に、ソース、ドレイン領域と半導体基板 1 0 との接合面の深さが、シリサイド層の下面から 20nm 乃至 60nm となるように形成し、NiSi相を持つシリサイド層形成後の製造工程を、接合面のシリサイド層の下面からの深さに対応して、以下の式

$$T_c = a \times D_j + b$$

ここで、 T_c は、熱処理の臨界温度[℃]、 D_j は、NiSi 下面からの接合位置深さ[nm]、

$$a = 6.11 \quad (20 < D_j \leq 26)$$

$$= 1.60 \quad (26 < D_j \leq 60)$$

$$b = 291 \quad (20 < D_j \leq 26)$$

$$= 408 \quad (26 < D_j \leq 60)$$

を満たす臨界温度 T_c を超えない温度で行う。

【選択図】 図 1

特願2003-124123

出願人履歴情報

識別番号

[000003078]

1. 変更年月日

2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝